

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-262494

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
G 0 9 F 9/30	3 3 8	7426-5H	G 0 9 F 9/30	3 3 8 C
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 Z
21/336				

審査請求 未請求 請求項の数7 F D (全 7 頁)

(21) 出願番号 特願平7-87558

(22) 出願日 平成7年(1995)3月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐藤 拓生

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 橋本 芳浩

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 吉田 和好

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 鈴木 晴敏

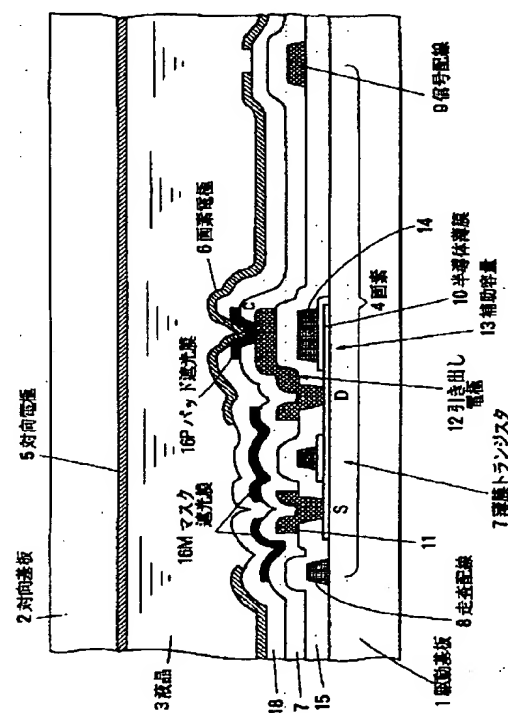
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【目的】 駆動基板側に形成される遮光膜に電気シールド機能及び電気コンタクト機能を付与する。

【構成】 アクティブマトリクス型表示装置は画素4を有する駆動基板1と、対向電極5を有する対向基板2と、両者の間隙に保持された液晶3とを備えている。駆動基板1の上層部は画素4毎に形成された画素電極6を含む。下層部は個々の画素電極6を駆動する薄膜トランジスタ7、走査配線8及び信号配線9を含む。上層部と下層部の間には導電性を有する遮光膜が介在しており、マスク遮光膜16Mとパッド遮光膜16Pとに分離している。マスク遮光膜16Mは画素4の行方向に沿って連続的にパタニングされ、少なくとも部分的に薄膜トランジスタ7を遮光すると共に上層部及び下層部から絶縁され且つ固定電位に保持されている。パッド遮光膜16Pは画素4毎に離散的にパタニングされ且つ対応する画素電極6と薄膜トランジスタ7との間のコンタクト部Cに介在してその電氣的接続及び遮光を図る。



(2)

【特許請求の範囲】

【請求項 1】 行列配置した画素を有する駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えたアクティブマトリクス型表示装置であって、前記駆動基板は、各画素毎に形成された画素電極を含む上層部と、個々の画素電極を駆動するスイッチング素子、画素の各行に対応して該スイッチング素子の行を走査する走査配線及び画素の各列に対応して該スイッチング素子の列に所定の信号を供給する信号配線を含む下層部と、該上層部と下層部の間に介在し所定のマスク領域とパッド領域とに分離した導電性を有する遮光膜とを備えており、前記マスク領域は画素の行方向に沿って連続的にパタニングされ少なくとも部分的にスイッチング素子を遮光すると共に該上層部及び下層部から絶縁され且つ固定電位に保持される一方、前記パッド領域は画素毎に離散的にパタニングされ且つ対応する画素電極とスイッチング素子との間のコンタクト部に介在してその電氣的接続及び遮光を図る事を特徴とするアクティブマトリクス型表示装置。

【請求項 2】 前記遮光膜は走査配線と平行にパタニング形成されており遮光性を有する信号配線と交差して格子状のブラックマトリクスを構成し、個々の画素電極の周囲を遮光して画素の開口を規定する事を特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 3】 前記遮光膜は信号配線と交差する部位に切り欠きパタンを有しており、該信号配線と重なる面積を縮小化する事を特徴とする請求項 2 記載のアクティブマトリクス型表示装置。

【請求項 4】 前記スイッチング素子は信号配線と同一層で形成された引き出し電極を有しており遮光膜のパッド領域を介して画素電極に電気接続すると共に、該引き出し電極は遮光性を有し互いに分離したパッド領域とマスク領域の間を遮光する事を特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 5】 前記マスク領域は対向電極の電位と等しい固定電位に保持されている事を特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 6】 前記導電性を有する遮光膜は金属膜である事を特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【請求項 7】 前記スイッチング素子は薄膜トランジスタである事を特徴とする請求項 1 記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は駆動基板と対向基板と両者の間に保持された液晶等からなるアクティブマトリク

2

ス型表示装置に関する。より詳しくは、画素電極及びスイッチング素子に加え遮光用のブラックマトリクスを駆動基板側に形成した所謂オンチップブラック構造に関する。

【0002】

【従来の技術】液晶表示装置はテレビやグラフィックディスプレイ等に盛んに用いられている。その中でも、特にアクティブマトリクス型の液晶表示装置は高速応答性を有し、高画素数化に適しており、ディスプレイ画面の高画質化、大型化、カラー化等を実現するものとして期待され、研究開発が進められて既に実用化されたものがある。このアクティブマトリクス型表示装置は、駆動基板側に走査配線と信号配線を直交する様に設け、その交差部毎にスイッチング素子と画素電極とを夫々配設したものである。一方、対向基板側には対向電極に加え通常ブラックマトリクスが形成されている。このブラックマトリクスは外部からスイッチング素子に入射する光を遮断して、光電流によるスイッチング素子の誤動作を防ぐと共に、行列配置した画素電極の間隙を通過する漏れ光を遮断してコントラスト比の低下を防いでいる。しかしながら、ブラックマトリクスを対向基板側に設けると、駆動基板側とのアライメントを精密に行なわなければならない、組立加工上負担になっている。この様なアライメントずれの対策として、個々の画素電極とある程度オーバーラップする様にブラックマトリクスを配設するという方法が通常採用されている。この様にすれば、駆動基板と対向基板とを接合する際のアライメント誤差はオーバーラップ部分の寸法までは吸収できる。しかしながら、オーバーラップ部分を設けるとその分ブラックマトリクスの画素電極に対する開口面積が縮小化され、開口率が犠牲になり画素の輝度が低下する。

【0003】

【発明が解決しようとする課題】この様に、対向基板側にブラックマトリクスを配設する場合には駆動基板と対向基板とを組み合わせる際に生じる位置ずれの問題がある。そこで、ブラックマトリクスを駆動基板側に作り込む所謂オンチップブラック構造が提案されている。同一基板上では画素電極とブラックマトリクスとの位置合わせ精度は $1\mu\text{m}$ 程度まで実現可能である。かかるオンチップブラック構造は例えば特開平 5-181159 号公報に開示されており、図 3 を参照して簡潔に説明する。図示する様に、この従来構造は石英等からなる絶縁基板 100 をベースとして形成されており、下層から順に多結晶シリコン等の半導体薄膜 101、ゲート絶縁膜 102、低抵抗化された多結晶シリコンからなるゲート電極 103、層間絶縁膜 104、アルミニウムとクロムの二層構造からなる信号配線 105、 SiN_x からなる層間絶縁膜 106、チタンやタングステン等の金属又はそれらのシリサイドからなる遮光膜 107、 SiN_x からなる保護膜 108、ITO の様な透明導電膜からなる画素

50

(3)

3

電極 109 が重ねられている。なお、信号配線 105 は薄膜トランジスタ 110 のソース領域 111 に電気接続され、画素電極 107 は同じく薄膜トランジスタ 110 のドレイン領域 112 に電気接続されている。

【0004】この従来例は薄膜トランジスタ 110 や信号配線 105 が下層部を構成し、画素電極 109 が上層部を構成する。これら上層部及び下層部の間に遮光膜 107 が介在しており、ブラックマトリクスを構成する。このブラックマトリクスは金属膜等からなり層間絶縁膜により上層部及び下層部から電氣的に絶縁されている。しかしながら、この遮光膜 107 は上層部の画素電極 109 や下層部の信号配線 105 との間で寄生容量を形成している。この場合、遮光膜 107 が浮遊電位状態にある為、容量カップリングが生じ、表示品質が損なわれるという課題がある。又、上層部の画素電極 109 は中層部の遮光膜 107 を貫通して下層部の薄膜トランジスタ 110 のドレイン領域 112 に電気接続されている。このコンタクト部で遮光膜 107 は一部除去されている為、完全な遮光は困難であり一部光漏れが生じるという課題がある。又、ITO 等からなる画素電極 109 とドレイン領域 112 を直接接続すると、良好なオーミックコンタクトが得られず画素欠陥の原因になっているという課題がある。

【0005】なお、上述した従来例は上層部と下層部との間に遮光膜を設ける構造であるが、この他最下層部に遮光膜を形成した構成も知られており、例えば特開平 4-331923 号公報に開示されている。この構成は非晶質シリコン薄膜トランジスタをスイッチング素子として用いており現在主流となっている。しかしながら、これでは遮光膜形成後に薄膜トランジスタを形成する為、層間短絡や薄膜トランジスタの特性変動が生じる。これを防ぐ為には遮光膜を一部除去せざるを得ず完全遮光が困難である。又、多結晶シリコン薄膜トランジスタをスイッチング素子として用いた場合遮光膜形成後に高温プロセスが不可避の為、実際には最下層部に遮光膜を設ける構造は採用できない。又、最上層部に遮光膜を設ける構造も提案されている。しかしながら、駆動基板の表面には画素電極が存在しており、遮光膜との間で所定のマージンを確保する事が困難である。薄膜トランジスタとして逆スタガ構造を採用すると下層部の画素電極が表面に剥き出しになってしまう。又多結晶シリコン薄膜トランジスタのコプレナ構造であると画素電極が表面に剥き出しになる。この改良版として薄膜トランジスタ形成後で且つ画素電極形成前に遮光膜を設ける構造も提案されている。この場合画素電極と遮光膜が電氣的に接続した構成になる。しかしながら、これではカップリングにより画素電極の電位が大きく変動する。これを防ぐ為には遮光膜を一部除去しなければならず、完全な遮光が困難になる。

【0006】

4

【課題を解決するための手段】上述した従来の技術の課題に鑑み、本発明は完全な遮光が可能であり、容量カップリングによる悪影響が生ぜず、画素電極とスイッチング素子との電気接続が良好なオンチップブラック構造を有するアクティブマトリクス型表示装置を提供する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかるアクティブマトリクス型表示装置は基本的な構成として、行列配置した画素を有する駆動基板と、対向電極を有し所定の間隙を介して該駆動基板に接合した対向基板と、該間隙に保持された電気光学物質とを備えている。前記駆動基板は、各画素毎に形成された画素電極を含む上層部と、個々の画素電極を駆動するスイッチング素子や画素の各行に対応して該スイッチング素子の行を走査する走査配線や画素の各列に対応して該スイッチング素子の列に所定の信号を供給する信号配線等を含む下層部と、該上層部と下層部の間に介在し所定のマスク領域とパッド領域とに分離した導電性を有する遮光膜とを備えている。前記マスク領域に形成された遮光膜（以下マスク遮光膜）は画素の行方向に沿って連続的にパタニングされ、少なくとも部分的にスイッチング素子を遮光すると共に、該上層部及び下層部から絶縁され且つ固定電位に保持されている。これに対し、前記パッド領域に形成された遮光膜（以下パッド遮光膜）は画素毎に離散的にパタニングされ且つ対応する画素電極とスイッチング素子との間のコンタクト部に介在してその電氣的接続及び遮光を図る。

【0007】好ましくは、前記遮光膜は走査配線と平行にパタニング形成されており遮光性を有する信号配線と交差して格子状のブラックマトリクスを構成し、個々の画素電極の周囲を遮光して画素の開口を規定している。又好ましくは、前記遮光膜は信号配線と交差する部位に切り欠きボタンを有しており、該信号配線と重なる面積を縮小化する。さらに好ましくは、前記スイッチング素子は信号配線と同一層で形成された引き出し電極を有しており該パッド遮光膜を介して画素電極に電気接続すると共に、この引き出し電極は遮光性を有し互いに分離したパッド遮光膜とマスク遮光膜の間を遮光している。前記マスク遮光膜は対向電極の電位と等しい固定電位に保持されている。前記導電性を有する遮光膜は金属膜からなる。前記スイッチング素子は薄膜トランジスタからなる。

【0008】

【作用】本発明によれば、画素電極等を含む上層部と薄膜トランジスタや配線を含む下層部との間に遮光膜が介在している。この遮光膜は層間絶縁膜により上層部及び下層部から完全に電氣的に絶縁されている。遮光膜はマスク遮光膜とパッド遮光膜とに分割されている。マスク遮光膜は例えば対向電極と同電位の固定電位に保持されており、画素電極に対し電氣的なシールドの役割を果たすと共に、配線との間の容量カップリングを抑制する事

50

(4)

5

が可能である。パッド遮光膜は画素電極とスイッチング素子との間のコンタクト部に介在しており、両者の電氣的接続を良好なものにしている。具体的には、スイッチング素子に直接接続する引き出し電極が設けられ、これと画素電極とがパッド遮光膜を介して相互に接続している。この引き出し電極はマスク遮光膜とパッド遮光膜との間の隙間に整合してパタニング形成される為、完全な遮光構造が得られる。遮光膜が行方向に沿ってパタニングされる一方信号配線は列方向に沿ってパタニングされ、互いに直交した両者を組み合わせる事により格子状のブラックマトリクスが駆動基板に形成できる。従って、完全なオンチップブラックマトリクス構造が得られる。

【0009】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかるアクティブマトリクス型表示装置の一実施例を示す模式的な部分断面図である。図示する様に、本アクティブマトリクス型表示装置は駆動基板1と対向基板2と両者の間に保持された液晶3等からなる電気光学物質とで構成されたパネル構造を有している。駆動基板1は行列配置した画素4を有している。対向基板2は少なくとも対向電極5を有しており、所定の隙間を介して駆動基板1に接合している。この隙間には液晶3が保持されている。

【0010】駆動基板1は上層部と中層部と下層部とに分かれている。上層部は各画素4毎に形成された画素電極6を含む。これに対し、下層部は個々の画素電極6を駆動するスイッチング素子としての薄膜トランジスタ7、画素4の各行に対応して薄膜トランジスタ7の行を走査する走査配線8及び画素4の各列に対応して薄膜トランジスタ7の列に所定の画像信号を供給する信号配線9とを含んでいる。なお、薄膜トランジスタ7は多結晶シリコン等からなる半導体薄膜10を活性層としており、その上にはゲート絶縁膜を介してゲート電極Gがパタニング形成されている。このゲート電極Gは前述した走査配線8に連続している。薄膜トランジスタ7はゲート電極Gの両側にソース領域S及びドレイン領域Dを備えている。ソース領域S側には一方の引き出し電極11が接続しており、前述した信号配線9に連続している。ドレイン領域Dには他方の引き出し電極12が接続している。なお、半導体薄膜10には上述した薄膜トランジスタ7に加え補助容量13も形成されている。この補助容量13は半導体薄膜10を一方の電極とし補助配線14を他方の電極とする。両電極10、14の間にゲート絶縁膜と同層の誘電体膜が介在している。なお、ゲート電極G、走査配線8及び補助配線14は同一層からなり、第1層間絶縁膜15により、引き出し電極11、12から電氣的に絶縁されている。

【0011】上述した上層部と下層部との間の中層部には導電性を有する遮光膜が介在している。この遮光膜は

6

マスク領域とパッド領域とに分離されている。即ち、本遮光膜はマスク遮光膜16Mとパッド遮光膜16Pとに分割されている。これらの導電性を有する遮光膜16M、16Pは金属膜からなる。一方のマスク遮光膜16Mは画素の行方向に沿って連続的にパタニングされ、少なくとも部分的に薄膜トランジスタ7を遮光する。マスク遮光膜16Mは第2層間絶縁膜17及び第3層間絶縁膜18により上下から挟持されており、前述した下層部及び上層部から絶縁されている。マスク遮光膜16Mは固定電位に保持されている。この固定電位は、例えば対向電極5の電位と等しく設定されている。一方、パッド遮光膜16Pは画素4毎に離散的にパタニングされている。パッド遮光膜16Pは対応する画素電極6と薄膜トランジスタ7との間のコンタクト部Cに介在してその電氣的接続及び遮光を図る。具体的にはパッド遮光膜16Pは画素電極6と引き出し電極12との間に介在しており両者の電氣的接続を良好にしている。なお、この引き出し電極12は前述した様に信号配線9と同一層で形成され、薄膜トランジスタ7のドレイン領域Dに直接電気接続している。この引き出し電極12は遮光性を有し互いに分離したパッド遮光膜16Pとマスク遮光膜16Mとの間を遮光している。

【0012】図2は、図1に示したアクティブマトリクス型表示装置の模式的な平面図であり、1個の画素部分を拡大して表わしている。図示する様に、マスク遮光膜16Mは走査配線8と平行にパタニング形成されている。従って、マスク遮光膜16Mは遮光性を有する信号配線9と交差しており、格子状のブラックマトリクスを構成する。これにより、個々の画素電極6の周囲を遮光して画素の開口19を規定する。この際、マスク遮光膜16Mは信号配線9と交差する部位に切り欠きパタン20を有しており、信号配線9と重なる面積を可能な限り縮小化している。これにより容量カップリングの悪影響を抑制できる。なお、この切り欠きパタン20の部分において、マスク遮光膜16Mと信号配線9は0.1～2.0μm程度しか重なっていない。前述した様に、薄膜トランジスタ7は信号配線9と同一層で形成された引き出し電極12を有しておりドレイン領域Dに直接接触している。この引き出し電極12はパッド遮光膜16Pを介して上方の画素電極6に電気接続している。換言すると、パッド遮光膜16Pは画素電極6と薄膜トランジスタ7との間のコンタクト部Cに介在している。引き出し電極12も遮光性を有しており、互いに分離したパッド遮光膜16Pとマスク遮光膜16Mとの間を遮光している。なお、図1に示した補助配線14は走査配線8と平行にパタニングされている。補助配線14の一部が半導体薄膜10と重なり合い、前述した補助容量を形成する。

【0013】以上説明した様に、導電性の遮光膜16M、16Pは、薄膜トランジスタ7等からなるスイッチ

50

(5)

7

ング素子、信号配線9、走査配線8等より上方で、且つ画素電極6より下方に形成されている。この遮光膜16M、16Pは信号配線9、走査配線8、画素電極6の何れとも絶縁されている為、マスクすべき領域全てを最小限の面積で遮光する事ができる。この為、駆動基板1側のみで表示領域の完全遮光が可能になり、アクティブマトリクス型表示装置としての透過率を最大限まで高める事が可能である。又、対向基板2は対向電極5のみを形成すれば良い為、材料費や組み立て費も軽減可能である。さらに、マスク遮光膜16Mは固定電位に保持されている為、各画素電極6に対しシールドの役割を果たすと共に、容量カップリングを抑制する事ができ表示品質を向上させる事が可能である。一方、パッド遮光膜16Pは画素電極6と引き出し電極12との間に介在し両者の電気接続を良好なものにしている。

【0014】引き続き図1及び図2を参照して、本発明にかかるアクティブマトリクス型表示装置の製造方法を詳細に説明する。駆動基板1はガラス又は石英等からなり、この駆動基板1の上に減圧CVD法で半導体薄膜10を成膜する。例えば、この半導体薄膜10は50nm程度の膜厚に堆積した多結晶シリコンからなり、薄膜トランジスタ7の活性層として用いられる。この半導体薄膜10は成膜された後アイランド状にパタニングされる。半導体薄膜10の上に例えば SiO_2 からなるゲート絶縁膜を成膜する。ここで、半導体薄膜10の材料としては多結晶シリコンの他に非晶質シリコン等を用いても良い。又、ゲート絶縁膜の材料としては SiO_2 の他に、 SiN や酸化タンタル及びこれらの積層膜等を用いても良い。

【0015】次に、駆動基板1の上に走査配線8、ゲート電極G、補助配線14等を同時に形成する。例えば、減圧CVD法により350nm程度の膜厚で多結晶シリコンを堆積した後、不純物をドーピングし低抵抗化を図り、さらに所定の形状にパタニングする。これらの走査配線8、ゲート電極G及び補助配線14の材料としては、多結晶シリコンの他に、Ta、Mo、Al、Cr等の金属やそれらのシリサイド、ポリサイド等を用いても良い。この様にして、半導体薄膜10、ゲート絶縁膜及びゲート電極Gからなる薄膜トランジスタ7が形成される。本例ではこの薄膜トランジスタ7はプレーナ型であるが、正スタガ型や逆スタガ型等を採用しても良い。同時に、半導体薄膜10には補助容量13も形成される。

【0016】次に常圧CVD法により600nm程度の膜厚でPSG等を堆積し第1層間絶縁膜15を形成する。この第1層間絶縁膜15は上述した走査配線8、ゲート電極G、補助配線14等を被覆している。この第1層間絶縁膜15には薄膜トランジスタ7のソース領域Sやドレイン領域Dに達するコンタクトホールが開口されている。第1層間絶縁膜15の上には信号配線9や引き出し電極11、12がパタニング形成されている。例えば、

8

スパッタリング法により600nm程度の膜厚でアルミニウムを堆積し、所定の形状にパタニングして信号配線9及び引き出し電極11、12に加工する。一方の引き出し電極11はコンタクトホールを介して薄膜トランジスタ7のソース領域Sに接続し、他方の引き出し電極12は同じくコンタクトホールを介して薄膜トランジスタ7のドレイン領域Dに接続する。これら信号配線9及び引き出し電極11、12の材料としては、Alの他に、Ta、Cr、Mo、Ni等を用いても良い。

【0017】信号配線9や引き出し電極11、12の上には第2層間絶縁膜17が成膜されており、これらを被覆する。例えば、常圧CVD法により600nm程度の膜厚でPSGを堆積して第2層間絶縁膜17を形成する。この第2層間絶縁膜17には引き出し電極12に達するコンタクトホール(C)が開口されている。この第2層間絶縁膜17の上にはマスク遮光膜16M及びパッド遮光膜16Pが形成されている。例えば、スパッタリング法により250nm程度の膜厚でTiを堆積し、所定の形状にパタニングしてマスク遮光膜16M及びパッド遮光膜16Pに加工する。マスク遮光膜16Mは表示画素外の領域で固定電位にコンタクトしている。一方、パッド遮光膜16Pは前述したコンタクトホール(C)を介して引き出し電極12にコンタクトしている。マスク遮光膜16Mは全表示画素領域に渡って互いに接続されている。マスク遮光膜16Mは画素開口19及び信号配線9を除いて、薄膜トランジスタ7、走査配線8及び補助配線14の殆ど全部の領域を覆っている。この為、各画素開口19の互いに対向する一対の辺は信号配線9によって規定されており、他の一対の辺はマスク遮光膜16Mによって規定されている。マスク遮光膜16Mとしては、十分な遮光性と良好な段差被覆性を有する材料であれば良い。遮光性は、400~700nmの可視光領域で透過率1%以下、好ましくは0.1%以下であれば良い。マスク遮光膜16Mの材料としては、Tiの他に、Cr、Ni、Ta、W、Al、Cu、Mo、Pt、Pd等の金属及びこれらの合金やシリサイドを用いても良い。マスク遮光膜16Mの膜厚は、各々の材料によって上述した遮光性を満足する厚さであれば良く、一般に50nm以上であれば良い。なお、パッド遮光膜16Pもマスク遮光膜16Mと全く同一層で形成されている。

【0018】マスク遮光膜16M及びパッド遮光膜16Pを被覆する様に第3層間絶縁膜18が成膜される。例えば、常圧CVD法により600nm程度の膜厚でPSGを堆積して第3層間絶縁膜18を形成する。この第3層間絶縁膜18にはパッド遮光膜16Pに達するコンタクトホールが開口している。なお、層間絶縁膜15、17、18の材料としては透明性及び絶縁性のものであれば良く、PSGの他に SiO_2 、BSG、BPSG、 SiN 、プラズマ SiN 等や、ポリイミド及びアクリル樹脂の様な有機物を用いても良い。第3層間絶縁膜18の

(6)

9

上には画素電極 6 が形成されている。例えば、スパッタリング法により 150 nm 程度の膜厚で ITO 等の透明導電膜を成膜し、所定の形状にパタニングして画素電極 6 に加工する。

【0019】この後、ガラス等からなり対向電極 5 が全面に形成されている対向基板 2 を駆動基板 1 に接合する。両基板 1, 2 の間隙に液晶 3 を封入する。この液晶 3 は例えばツイストネマチック配向されている。

【0020】なお上述した実施例では、薄膜トランジスタ 7 がスイッチング素子として用いられているが、薄膜トランジスタ等の 3 端子素子以外に、ダイオード、バリスタ及び金属-絶縁物-金属 (MIM) 素子等の 2 端子素子をスイッチング素子として用いる事ができる。2 端子素子を用いる場合は、マトリクス状の複数の画素電極、2 端子素子、第 1 の電極群等を駆動基板 1 側に設け、第 1 の電極群と交差する第 2 の電極群を対向基板 2 側に設ける。なお、上述した実施例では薄膜トランジスタ 7 のドレイン領域 D に画素電極 6 が接続し、ソース領域 S に信号配線 9 が接続している。しかしながら、実際には液晶 3 を交流駆動する為、薄膜トランジスタ 7 のソ

【0021】

【発明の効果】以上説明した様に、本発明によれば、画素電極が属する上層部と、薄膜トランジスタや配線が属する下層部との間に遮光膜を介在させている。この遮光膜はマスク遮光膜とパッド遮光膜とに分割されている。このマスク遮光膜は固定電位に接続されている為、各画素電極に対しシールドの役割を果たすと共に、配線に対する容量カップリングを抑制する事が可能であり、表示品質を向上させる事ができた。一方パッド遮光膜は画素電極とスイッチング素子との間に介在し両者の電氣的接続を良好なものにしている。マスク遮光膜はスイッチング素子や配線より上方に位置し且つ画素電極より下方に

10

位置している。配線や画素電極の何れとも絶縁されている為、遮光すべき領域全てを最小限の面積で遮光する事ができる。この為、駆動基板側のみで表示領域の完全遮光が可能になり、液晶表示装置としての透過率を最大限まで高める事が可能である。一方、対向基板 2 側には対向電極のみを形成すれば良い為、材料費や組み立て費も軽減可能である。

【図面の簡単な説明】

【図 1】本発明にかかるアクティブマトリクス型表示装置の一実施例を示す模式的な部分断面図である。

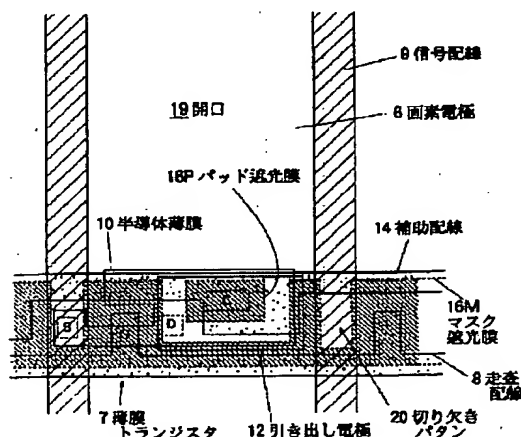
【図 2】同じく本発明にかかるアクティブマトリクス型表示装置の一実施例を示す模式的な部分平面図である。

【図 3】従来のアクティブマトリクス型表示装置の一例を示す模式的な部分断面図である。

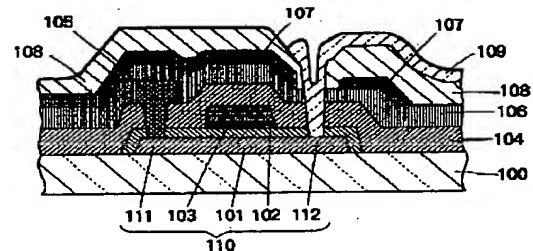
【符号の説明】

- | | |
|------|-----------|
| 1 | 駆動基板 |
| 2 | 対向基板 |
| 3 | 液晶 |
| 4 | 画素 |
| 5 | 対向電極 |
| 6 | 画素電極 |
| 7 | 薄膜トランジスタ |
| 8 | 走査配線 |
| 9 | 信号配線 |
| 10 | 半導体薄膜 |
| 12 | 引き出し電極 |
| 13 | 補助容量 |
| 15 | 第 1 層間絶縁膜 |
| 16 M | マスク遮光膜 |
| 16 P | パッド遮光膜 |
| 17 | 第 2 層間絶縁膜 |
| 18 | 第 3 層間絶縁膜 |
| 19 | 開口 |
| 20 | 切り欠きパタン |

【図 2】

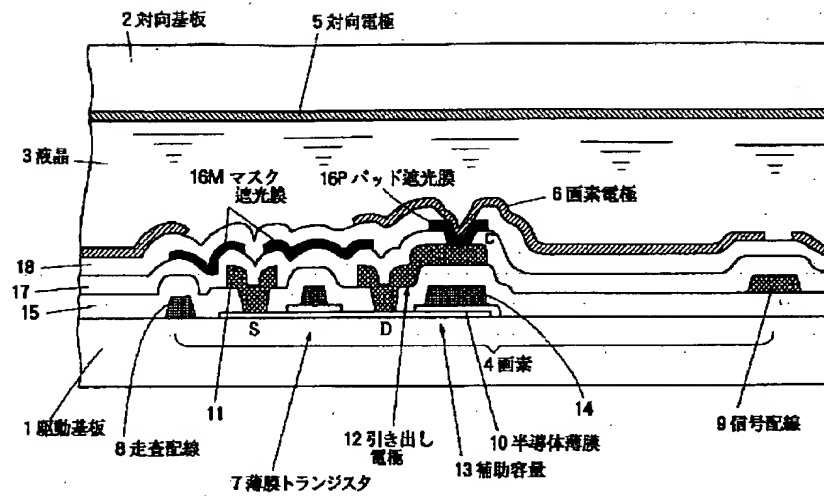


【図 3】



(7)

【図1】



フロントページの続き

(72) 発明者 牧村 真悟
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内

(72) 発明者 高德 真人
 東京都品川区北品川6丁目7番35号 ソニ
 ー株式会社内